



DEUTSCHES  
PATENT- UND  
MARKENAMT

10 Patentschrift  
DE 196 10 112 C 2

51 Int. Cl. 7:  
H 01 L 21/58  
B 23 K 1/00  
H 05 K 3/34

- 21 Aktenzeichen: 196 10 112.3-33  
22 Anmeldetag: 14. 3. 1996  
43 Offenlegungstag: 18. 9. 1997  
45 Veröffentlichungstag  
der Patenterteilung: 6. 4. 2000

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

- 73 Patentinhaber:  
D-Tech GmbH Antriebstechnik und Mikroelektronik,  
33689 Bielefeld, DE  
74 Vertreter:  
Leonhard Olgemöller Fricke, 80331 München  
62 Teil in: 196 49 458.3

61 Zusatz in: B23K 100 H0

72 Erfinder:  
Gabriel, Rupprecht, 33689 Bielefeld, DE

56 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

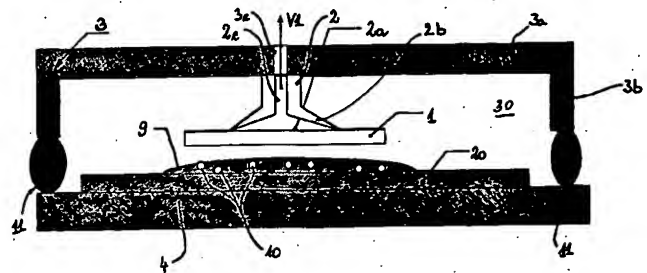
DE 44 17 285 A1  
US 54 45 692  
EP 03 61 715 A1  
EP 03 29 823 A2  
EP 01 10 307 A2

CHEN, Cherh-Lin, et.al.: Packing Technology for  
a Low Temperature Astrometric Sensor Array. In:  
IEEE Transactions On Components, Hybrids,  
And Manufacturing Technology, Vol.13, No.4,  
Dec. 1990, S.1083-1089;  
FAIRFULL, R.A., et.al.: Chip-Heatsink Attach

In: IBM Technical Disclosure Bulletin, Vol.34,  
No.3, Aug. 1991, S.161,162;

54 Verfahren zum Auflöten von Halbleiterchips

- 57 Verfahren zum positionsgenauen Auflöten (9, 10) von  
zumindest einem flächigen Halbleiterchip (1) auf ein Sub-  
strat (20), bei dem  
(a) durch ein Vakuum (V2) in einem Löttraum (30) ein  
Oberteil (3) gegenüber einem Unterteil (4) mechanisch  
zentriert relativbewegt wird, während das Substrat (20)  
auf dem Unterteil (4) angeordnet ist; und  
(b) der zumindest eine Halbleiterchip (1), bei der Relativ-  
bewegung an dem Oberteil (3) seitenstabil gehalten, in  
ein auf dem Substrat (20) befindliches, erwärmtes Lot (9,  
10) hineingedrückt wird.



DE 196 10 112 C 2

DE 196 10 112 C 2

Das technische Gebiet der Erfindung sind Lötverfahren zur Befestigung von insbesondere großflächigen Halbleiterchips (z. B. Leistungshalbleitern) auf Substraten, wie in der DE 44 17 285 A1 (Finetech) beschrieben.

Bekannte Verfahren zum Löten von Leistungshalbleitern sind:

1. Reflowlöten mit Lotpaste und aggressiven Flußmitteln, ggf. auch ergänzt durch Silber- oder Kupferpartikel, die in EP 110 307 A2 (Burroughs) gemäß dortiger Seite 10, Zeilen 1 bis 20 bei höherer Temperatur geschmolzen werden, um eine nachträgliche Metallisierung der Kontaktflächen beim Löten zu ermöglichen.
2. Löten im Vakuum oder Bilden einer eutektischen Bondverbindung unter Vakuum, wobei die Bondverbindung nur eine Schichtdicke von weniger als 10 µm aufweist. Als Verbindungspartner werden ein Siliziumchip und ein Siliziumsubstrat vorgesehen, zwischen beiden wird eine dünne Goldschicht eingefügt und mit hohem Druck unter Vakuum gepreßt, wobei zusätzlich eine Erwärmung auf etwa 400°C vorgesehen wird (vgl. EP 361 715 A1, Seite 3, Zeilen 28 bis 33, Seite 4, Zeilen 11 bis 14 und 20 bis 22 sowie dortige Ansprüche 3 und 8).
3. Einsetzen der Chips in ein flüssiges Lot.

Großflächige Halbleiterchips, wie Leistungshalbleiter, müssen gut gekühlt werden. Hierzu werden sie in metallische Gehäuse, auf Leiterplatten mit metallischem Kern, Dickschichtschaltungen auf keramischen Substraten oder DCB (Direct Copper Bonding) Substraten gelötet. Die Hauptschwierigkeit beim Löten von großen Halbleitern (Kantenlänge größer 4 mm) ist es, die Lötung lunkerfrei und mit definierter Schichtdicke des Lotes zu gewährleisten und eine – durch das beim Schwimmen der Chips auf dem Lot beeinflusste – Positionsgenauigkeit zu erreichen, mit der erst eine hohe Packungsdichte möglich ist. In einem integrierten Frequenzumrichter befinden sich heute auf einem Substrat zwischen 18 und ca. 100 Leistungshalbleiter. Die Qualität des Lötverfahrens und dessen Reproduzierbarkeit sind damit von entscheidender Bedeutung für die Qualität des Produktes. Auch schon geringe Lunkeranteile können die Gesamtschaltung mit einem hohen Wert unbrauchbar, zumindest aber störanfällig machen.

Die Aufgabe der Erfindung liegt darin, die Positioniergenauigkeit der Chips beim Löten deutlich zu erhöhen. Das wird gemäß Anspruch 1 oder Anspruch 6 erreicht.

Die Sicherheit und Genauigkeit des Lötprozesses wird erfindungsgemäß dadurch verbessert, daß der Lötvorgang im Vakuum in das flüssige Lot hinein erfolgt und die Chips seitestabil gehalten und durch das sich aufbauende Vakuum auf den zu lötenen Träger (das Substrat) gedrückt werden (Anspruch 1). Das Verfahren ermöglicht sichere, lunkerfreie Lötung auch von Substraten mit vielen Chips. Die Chips "schwimmen" nicht mehr auf dem Lot. Das Verfahren läßt sich leicht automatisieren, da keine Batchprozesse erforderlich sind, und kann leicht in Bestückungs- und Bondeinrichtungen integriert werden, da die Zykluszeiten kurz sind.

Die Schichtdickeneinstellung des Lotes kann durch im Lot befindliche Kugeln mit einer Schmelztemperatur, die höher als die Löttemperatur ist, erfolgen (Anspruch 10). Durch erzwungene sehr schnelle Kühlung kann die Kornbildung und damit die Zyklenfestigkeit beim Erstarren des Lotes verbessert werden (Anspruch 5).

Eine Vorrichtung zum Ausführen des vorgenannten Verfahrens (Anspruch 6) besteht aus einem Oberteil (Deckel)

mit einer Aufnahme für Chips in ihrer Bestückposition, einem Unterteil (Heizplatte), wenigstens einem Vakuumschluß, einem Gasanschluß zum Kühlen und einem flexiblen Dichtungssystem zwischen Oberteil und Unterteil, welches temperaturstabil und elastisch ist, um eine Relativbewegung von Oberteil und Heizplatte zu erlauben. Ein weiterer Gasanschluß zum Fluten mit Schutzgas kann vorgesehen sein (Anspruch 9).

Die Größe des Lötraums ist gering (Anspruch 8). In Lateralrichtung werden die Chips von Saugern oder einer Lochmatte unter Vakuum gehalten (Anspruch 7).

Anwendungsgebiete der Erfindung liegen beim Auflöten von Leistungshalbleitern und großen Chips mit hoher Verlustleistung, insbesondere bei Multi-Chip-Systemen. Die Substrate werden allgemein auch mit "Leiterplatte" bezeichnet.

Vakuumlötverfahren gem. der eingangs erwähnten Ziffer 2 erfolgen im Batchbetrieb. Die Lötzeiten sind sehr lang. Die Ergebnisse bezüglich der Lötchichtdicken sind ungenau und nicht sicher reproduzierbar. Die Chips schwimmen auf dem Lot, was die Positioniergenauigkeit reduziert. Mit der Erfindung wird dagegen sowohl die Prozeß-Stabilität erhöht, als auch die Konstanz der Eigenschaften der Lötung deutlich verbessert. Als Nebeneffekt ergibt sich ein geringerer Energieverbrauch gegenüber üblichen Lötmaschinen, trotz deutlich reduzierter Prozeßzeit. Die Erfindung ermöglicht auch eine Einhaltung einer Vielzahl von Parametern, wie der Bestandteile und die Mischung der Pasten, das Aufbringen der Lotpaste und die Temperaturprofile der Oberflächen.

Die Schichtdicke des Lotes kann durch in der flüssigen Phase des Lotes enthaltene feste Bestandteile definierter Größe garantiert werden (Anspruch 10). Solche Bestandteile können zum Beispiel Kupferkugeln, wie sie in Sinterprozessen verwendet werden, sein. Auch Siliziumkugeln eignen sich wegen der angepaßten Ausdehnung gegenüber dem Lotpartner gut. Hierzu werden in das Lot geringe Prozente von "Abstandshaltern" eingebunden. Um eine gleichmäßige Schichtdicke zu erhalten, müssen wenigstens drei feste "Abstandshalter" unter jedem zu lötenen Chip sein. Die obere Grenze ist dadurch bestimmt, daß das Lot sich zu einer Schicht mit nur einer Lage "Abstandshalter" zusammenpressen lassen muß. Typische Verhältnisse sind 10% bis 20% feste Bestandteile im Lot (Anspruch 13). Die Eigenschaften des Lotes können zudem durch das Beimengen geeigneter Materialien positiv eingestellt werden.

Die Erfindung(en) wird (werden) nachfolgend anhand mehrerer Ausführungsbeispiele erläutert und ergänzt.

Fig. 1 schematisiert den Ausgangspunkt eines Lötvorgangs zwischen Chip 1 und Substrat 20 mit entspannter Dichtung 11 am Gehäuse 3, 4.

Fig. 2 verdeutlicht die Abwärtsbewegung  $x_1$  des Oberteils 3, das Absenken des seitestabil gehaltenen Chips 1 und die Kompression der Dichtung 11.

Fig. 3 veranschaulicht das Aufwärtsbewegen  $x_2$  des Chips 1 mit gelötetem Substrat 20 und die Kühlung 5 unter dem Substrat, bei sich entspannender Dichtung 11.

Der Prozeß beginnt in Fig. 1 mit dem Einsetzen einer Leiterkarte 20 auf eine Heizplatte 4. Auf der Leiterkarte 20 ist ein Lot 9 mit nichtschmelzenden Füllteilchen 10 mittels Siebdruck oder Preforms aufgebracht. Die Heizplatte 4 bringt die Leiterkarte 20 je nach Basismaterial in einigen Sekunden bis zu einigen 10 Sekunden auf Löttemperatur. Während dieser Zeit kann zur Reduzierung der Oxidation Schutzgas in die Kammer 30 zwischen Oberteil 3 und Unterteil 4 eingeblasen werden. Das sehr geringe Volumen läßt es zu, mit geringen Gasvolumina geringe Restsauerstoffgehalte zu erzielen. Ob Schutzgas eingesetzt werden muß,

hängt von den Löttemperatur und den Oberflächen der Lötpartner ab. Die kurzen Lötprozesszeiten, die mit dem Verfahren möglich sind (ca. 60 sec gegenüber 1800 sec im Stand der Technik), reduzieren schon die Gefahr der Oxidation ganz wesentlich. In vielen Fällen kann daher eine Schutzgasatmosphäre sogar entfallen, was die Wirtschaftlichkeit des Prozesses weiter verbessert.

Im zweiten Prozessschritt gemäß Fig. 2 wird durch das Einschalten des Vakuums  $V_2$  der Deckel 3 mit den Chips 1 langsam auf die inzwischen mit flüssigem Lot benetzte Platte 20 gedrückt. Die durch temperaturfeste Siliconsauger 2b gehaltenen und in Vertikalrichtung leicht elastisch oder federnd an den Deckel gebundenen Chips 1 werden durch das entstehende Vakuum auf die "Leiterplatte" 20 gedrückt. Das gesteuerte Vakuum sorgt für ein langsames lunkerfreies Aufsetzen der Chips 1 mit durch die beschriebenen "Abstandshalter" 10 garantierendem Abstand von dem Substrat 20. Die Chips werden durch den Deckel permanent seitlich geführt und gehalten und können daher auch nicht wegschwimmen. Die Positioniergenauigkeit wird verbessert.

Im folgenden, dritten Prozessschritt gemäß Fig. 3 wird das noch flüssige Lot 9 durch Einblasen von kaltem Gas B in sehr kurzer Zeit (möglichst unter 10 s) unter die Erstarrungstemperatur abgekühlt. Neben dem Vorteil der hierdurch verbesserten Gefügeeigenschaften ergibt sich eine sehr kurze Prozesszeit durch das Gaspolster 5, das sich unter dem Chip und dem Substrat 1, 20 bildet und dies kühlend anhebt.

Der Deckel 3 hat eine Aufnahmevorrichtung 2 für zumindest einen, bevorzugt aber viele Chips 1 in den Bestückpositionen (z. B. Siliconmatte mit Löchern 2c oder kleine Sauger mit Innenkanal 2c). Die Heizplatte 4 mit wenigstens einer Öffnung 4c zum Einblasen des Kühlmediums und eine Vorrichtung zum Aufsetzen des Deckels 3 und zur Bestückung der Heizplatte mit der "Leiterkarte" 20 sind ergänzend vorgesehen. Letztere Vorrichtung kann eine Handhabungseinrichtung, z. B. ein Scara Roboter, sein, der die nötigen Handhabungen ausführt.

Ein typischer Prozessablauf in einem Fertigungsprozeß zur Herstellung von Substraten mit gelöteten Leistungshalbleitern ist:

1. Einsetzen der "Leiterplatten" 20 auf die Heizplatte (ca. 250°C).
2. Ansaugen der Leistungshalbleiter 1 über Vakuum  $V_1$  aus einem Bestücknest mit dem "Deckel" 3 und seitentabile Halterung der mehreren Chips 1, wobei sie in Vertikalrichtung elastisch oder federnd nachgiebig positioniert sind, z. B. über eine Siliconmatte oder einzelne (individuelle) Sauger 2.
3. Aufsetzen des Deckels 3 über der Leiterplatte (mechanisch zentriert), um einen umfänglich abgedichteten Vakuumraum 30 zu bilden.
4. Mit Schutzgas spülen.
5. Vakuum  $V_2$  einschalten nach Erreichen der Schmelztemperatur des Lotes 9 und Evakuieren des Vakuumraums 30 (Lötraum).
6. Deckel mit Chips wird durch das Vakuum  $V_2$  zwischen der Heizplatte 4 und dem Deckel 3 abgesenkt in das flüssige Lot. Keine seitliche Verrückung der Chips tritt beim vakuumforcierten Ansaugen des Deckelteils auf, allenfalls beim Aufdrücken des Chips 1 tritt eine elastische Komponente in Bewegungsrichtung hinzu, die die Chips 1 gegen die Kornbestandteile 10 im Lot 9 drückt und damit großflächig für einen gleichmäßigen Abstand ohne Beschädigung des Halbleiterchips 1 sorgt.
7. Löten.

8. Kaltes Gas B die Leiterkarte blasen und damit die Leiterkarte auf einem Gaspolster 5 abkühlen, gleichzeitig wird das Vakuum im Lötraum 30 kontinuierlich beendet und der Deckel 3a, 3b entfernt sich ebenso kontinuierlich von der Heizplatte 4 in eine Endlage, die er vor Einschalten des Vakuums eingenommen hatte. Dabei werden die Chips 1 mit dem angelöteten Substrat 20 mitgenommen. Auch das Substrat hebt also von der Heizplatte 4 ab.

9. Deckel mit gelöteter Leiterkarte 20 abnehmen und Leistungshalbleiter mit Leiterkarte (Substrat; 20) freigeben.

In konstruktiver Natur ist der Deckel in den Figuren als Haube gezeichnet mit einem mittleren Deckelabschnitt 3a und Seiten-Flanschabschnitten 3b, die über eine umlaufende elastische Dichtung 11, die temperaturstabil ist, mit der Heizplatte 4 abdichtend in Verbindung steht. Durch die elastische Dichtlippe 11 ist eine Bewegungsmöglichkeit des Deckels 3 gegeben. Er kann sich, veranlaßt durch das Vakuum im Lötraum 30, aufwärts und abwärts bewegen, was zum Eindringen des Leistungschips 1 in das Lot 9 mit seinen Kügelchen 10 eingesetzt wird.

Der Chip 1 ist in Fig. 1, über einen Einzelsauger 2 gehalten, noch oberhalb dem dort schon erwärmten Lot 9. Der Einzelsauger 2 besteht aus einem zylindrischen Abschnitt, durch den ein Mittenkanal 2c hindurchführt, der in einen erweiterten Saugraum 2a mündet, über den der Chip 1 angesaugt wird. Eine umlaufende Greifklaue, die abdichtend mit dem Chip in Verbindung steht, ist an die Abmessung des Chips 1 angepaßt. Diese Greifklaue 2b hat im wesentlichen konische Gestalt und ist sehr flach verlaufend ausgebildet. Der erwähnte Kanal 2c im zylindrischen Rumpf mündet in einen Durchtritt 3c am Deckelteil, so daß von außen das Vakuum zum Halten der Chips 1 aufgebracht und gelöst werden kann.

Fig. 2 veranschaulicht das Hereindrücken des Leistungshalbleiters 1 in das flüssige Lot, wobei als Abstandshalter 10 Kugeln den definierten Abstand des Halbleiters 1 von dem Substrat 20 festlegen. Der Einzelhalter 2 begründet eine seitentabile Positionierung des Chips 1, er kann leicht nachgiebig in Vertikalrichtung gehalten sein, sei es durch eine Federlagerung oder durch Unterlegen von Siliconmatten oder -scheiben zwischen seinem zylindrischen Rumpf und dem Deckel 3a.

In der Fig. 2 ist die Abwärtsbewegung des Deckels mit  $x_1$  angedeutet. Der Dichtungsrichtung 11 ist komprimiert gegenüber der Fig. 1, gleichzeitig aber abdichtend. Der Lötraum 30 steht unter Vakuum  $V_2$ . Erst durch Lösen dieses Vakuums gemäß Fig. 3 hebt sich der Deckel 3 wieder an, was durch die Bewegungsrichtung  $x_2$  angedeutet ist.

Das einströmende Gas B durch einen im Bodenbereich (in der Heizplatte 4) vorgesehenen Kanal 4c erlaubt eine gleichmäßige und sichere Kühlung des Chips 1 über das Substrat 20. Das Substrat 20 schwebt dabei auf einem Gaspolster, ist aber gleichzeitig gehalten von dem Halter 2, über das erstarrende Lot 9. Die Zufuhr des Kühlmediums B ist gleichzeitig das Aufheben des Vakuums  $V_2$ , während das Vakuum  $V_1$  zur Halterung des Chips 1 mit nun daran angelötetem Substrat 20 erhalten bleibt, bis die Kühlwirkung des Gases B ausreichend war, um das Lot sicher und vollständig zu erstarran.

Nicht dargestellt ist die Entnahme des fertig gelöteten Chips 1 – oder der mehreren Chips 1 mit genau definiertem Abstand auf dem Substrat 20 –, wozu der Deckel 3 abgehoben werden kann oder die Heizplatte 4 seitlich verschoben werden kann, unter Mitnahme des Dichtungsringes 11.

1. Verfahren zum positionsgenauen Auflöten (9, 10) von zumindest einem flächigen Halbleiterchip (1) auf ein Substrat (20), bei dem
  - (a) durch ein Vakuum (V2) in einem Löttraum (30) ein Oberteil (3) gegenüber einem Unterteil (4) mechanisch zentriert relativbewegt wird, während das Substrat (20) auf dem Unterteil (4) angeordnet ist; und
  - (b) der zumindest eine Halbleiterchip (1), bei der Relativbewegung an dem Oberteil (3) seitenstabil gehalten, in ein auf dem Substrat (20) befindliches, erwärmtes Lot (9, 10) hineingedrückt wird.
2. Verfahren nach Anspruch 1, bei dem der zumindest eine flächige Chip (1) ein großflächiger Leistungshalbleiter ist.
3. Verfahren nach einem der Ansprüche 1 oder 2, bei dem der Löttraum (30) von einem haubenartigen Dekkel als Oberteil (3; 3a, 3b) gebildet wird, dessen Seitenwände (3b) einen komprimierbaren Dichtungsring (11) unter Einfluß des Vakuums zusammendrücken, bis der mindestens eine Chip (1) seine Lötage mit einem definierten Abstand (10) von dem Substrat (20) erreicht hat.
4. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der Löttraum (30) vor dem Aufschmelzen des Lotes (9) auf dem Substrat (20) mit Schutzgas geflutet oder gespült wird.
5. Verfahren nach einem der vorhergehenden Ansprüche, bei dem nach dem Relativbewegen durch ein Absenken des mindestens einen Chips (1) in das Lot (9) ein Kühlgas (B) von unten (4c) gegen das Substrat (20) gedrückt wird, um ein gleichmäßig kühlendes Luftpolster (5) auszubilden.
6. Vorrichtung zum Ausführen des Verfahrens nach einem der Ansprüche 1 bis 5, mit
  - (a) einem Oberteil (3; 3a, 3b) mit einer Aufnahmevorrichtung (2) für zumindest einen flächigen Chip (1) in einer Bestückposition;
  - (b) einer Einrichtung zum Aufsetzen des Oberteils (3) und zur vorherigen Bestückung eines flachen Unterteils (4) mit einem Substrat (20);
  - (c) mindestens einem Vakuumanschluß;
 dadurch gekennzeichnet, daß
  - (d) das Unterteil als Heizplatte (4) mit wenigstens einer Öffnung (4c) zum Einblasen eines Kühlmediums (B) ausgebildet ist;
  - (e) das Oberteil (3) Seiten-Flanschabschnitte (3b) hat, die über eine temperaturstabile elastische Dichtung (11) mit der Heizplatte (4) elastisch in Verbindung stehen, um eine Relativbewegung von Oberteil (3) und Heizplatte (4) zu erlauben.
7. Vorrichtung nach Anspruch 6, bei der die Aufnahmevorrichtung (2) eine Siliconmatte mit Löchern (2c, 3c) ist oder aus kleinen individuellen Saugern besteht.
8. Vorrichtung nach Anspruch 6 oder 7, bei dem der von Oberteil (3) und Unterteil (4) gebildete Löttraum (30) klein hinsichtlich seines Volumens ausgebildet ist, indem er eine horizontale Erstreckung hat, die etwa der Größe des Substrats (20) entspricht und in Vertikalrichtung nur geringfügig höher ausgebildet ist, als für die Unterbringung von Substrat (20), Lotschicht (9, 10) und Chip (1) sowie Chiphalter (2; 2a, 2b, 2c) erforderlich ist.
9. Vorrichtung nach einem der Ansprüche 6 bis 8, bei dem eine oder zwei Öffnungen zum Fluten und Abziehen bzw. Spülen mit Schutzgas zum Löttraum (30) führen.

ren.

10. Verfahren nach einem der Ansprüche 1 bis 5, bei dem zumindest ein großer Halbleiterchip, insbesondere ein Leistungshalbleiter (1), über ein Lotmaterial (9, 10) auf dem Substrat (20) aufgebracht wird, welches Lotmaterial einen bei einer Schmelztemperatur flüssig werdenden Lötbestandteil (9) und eine Vielzahl von Körnern (10) aufweist, die gegenüber dem Lötbestandteil resistent sind, eine Schmelztemperatur haben, die höher ist, als die Schmelztemperatur des Lötbestandteils (9), und im Durchmesser auf einen zu erreichenden Abstand zwischen dem Substrat (20) und dem zumindest einen aufzulötenden Halbleiterchip (1) abgestimmt sind.

11. Verfahren nach Anspruch 10, bei dem die Schmelztemperatur der Körner (10) deutlich oberhalb der Schmelztemperatur des Lötbestandteils (9) liegt.

12. Verfahren nach Anspruch 10 oder 11, bei dem die Körner Kugeln, insbesondere aus Glas, Kupfer oder Silizium sind.

13. Verfahren nach einem der Ansprüche 10 bis 12, bei dem der Anteil der Körner gegenüber dem Lotbestandteil unter 20 Gewichts-% liegt.

14. Verfahren nach Anspruch 10, bei dem der Anteil der Körner gegenüber dem Lotbestandteil wenige Gewichts-% beträgt.

---

Hierzu 2 Seite(n) Zeichnungen

---

